

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000298991  
PUBLICATION DATE : 24-10-00

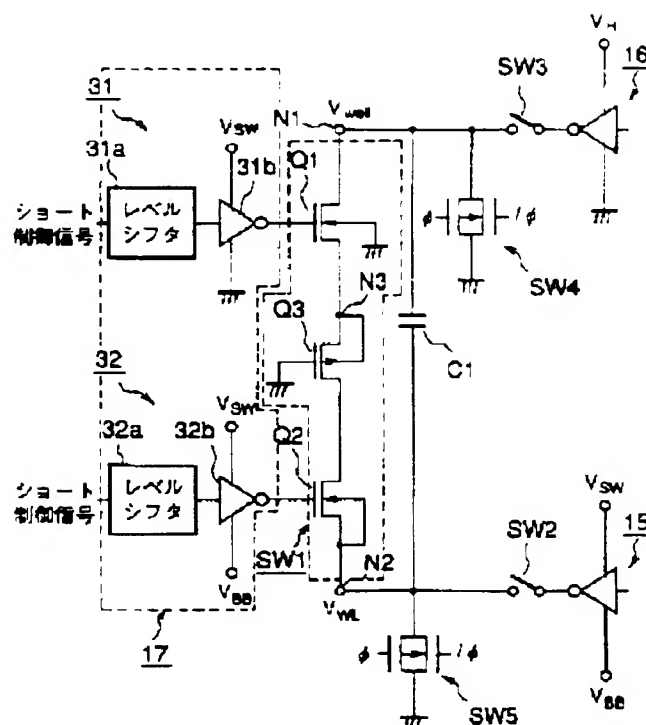
APPLICATION DATE : 09-04-99  
APPLICATION NUMBER : 11102978

APPLICANT : TOSHIBA CORP;

INVENTOR : TANZAWA TORU;

INT.CL. : G11C 16/02

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To obtain a semiconductor device in which forward bias between a diffusion layer of a transistor and a substrate caused by parasitic capacity can be prevented, and a problem of breakdown strength of a transistor can be prevented, when potential difference between two nodes having potential difference being higher than power source voltage is reset.

SOLUTION: A switch circuit SW1 is connected between a node N1 to which substrate voltage V<sub>well</sub> is supplied and a node 2 to which voltage V<sub>WL</sub> of a word line is supplied. Parasitic capacity C1 exists in these nodes N1, N2. Voltage V<sub>WL</sub> of a word line is made negative voltage. At the time of finish of erasing operation, the switch circuit SW1 is turned on, the node N1 and the node N2 are short-circuited, after that, switch circuits SW4, SW5 are turned on, and these nodes N1, N2 are individually grounded.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-298991

(P2000-298991A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int. Cl.<sup>7</sup>

G 1 1 C 16/02

識別記号

F I

G 1 1 C 17/00

テーマ (参考)

6 1 2 Z 5 B 0 2 5

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平11-102978

(22) 出願日 平成11年4月9日 (1999. 4. 9)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渥美 滋

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 田浦 忠行

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

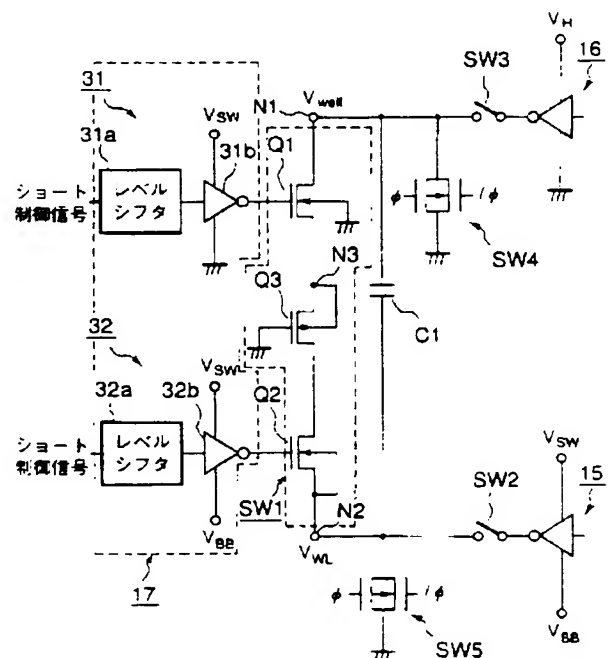
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 フォワードバイアスを防止し、且つトランジスタの耐圧問題を回避して電源電圧以上の電位差を有する二つのノード間の電位をリセットすることが困難であった。

【解決手段】 スイッチ回路SW1は基板電圧 $V_{SS}$ が供給されるノードN1とワード線の電圧 $V_W$ が供給されるノードN2の相互間に接続される。これらノードN1、N2には寄生容量C1が存在する。ワード線の電圧 $V_W$ は消去時に負の電圧とされる。消去動作終了時に、スイッチ回路SW1がオンとされ、ノードN1とノードN2とがショートされ、この後、スイッチ回路SW4、SW5をオンとしてこれらノードN1、N2が個別に接地される。



## 【特許請求の範囲】

【請求項1】電源電圧以上の電位差を有し、寄生容量を介して接続された第1、第2のノードと、

前記第1、第2のノードの相互間に接続され、前記第1、第2のノードをショートする第1のスイッチ回路と、

前記第1、第2のノードと接地間にそれぞれ設けられ、前記第1のスイッチ回路がオンとされた後にオンとされる第2、第3のスイッチ回路とを具備することを特徴とする半導体装置

【請求項2】複数のブロックに分割され、各ブロックは複数のメモリセルと、これらメモリセルに接続された複数のワード線、ビット線を有するメモリセルアレイと、

前記メモリセルを選択するロウデコーダと、

前記ロウデコーダに前記ワード線に供給される電圧を供給する第1のデコーダと、

前記メモリセルが形成される基板に基板電圧を供給する第2のデコーダと、

前記ワード線の電圧が供給される第1のノードと前記基板電圧が供給される第2のノードの相互間に接続され、前記メモリセルの消去後、前記第1、第2のノードをショートする第1のスイッチ回路と、

前記第1のノードと前記第1のデコーダの出力端との相互間に接続され、前記第1のスイッチより先にオフとされる第2のスイッチ回路と、

前記第2のノードと前記第2のデコーダの出力端との相互間に接続され、前記第1のスイッチより先にオフとされる第3のスイッチ回路とを具備することを特徴とする半導体装置

【請求項3】ウェル内にスタックゲート構造のトランジスタからなる複数のメモリセルが形成され、電気的に一括してこれらメモリセルのデータが消去され、消去時には各メモリセルの制御ゲートに負電圧が印加され、前記ウェルに正の電圧が印加されるチャネル消去方式を用いた半導体装置であって、

前記ウェルに電圧を供給する第1のノードと前記メモリセルの制御ゲートに電圧を供給する第2のノードとの相互間に接続され、消去終了時にオンとされ前記第1、第2のノードをショートする第1のスイッチ回路と、

前記第1のノードと接地間、及び前記第2のノードと接地間にそれぞれ接続され、前記第1のスイッチ回路がオンとされた後、オンとされる第2、第3のスイッチ回路とを具備することを特徴とする半導体装置

【請求項4】前記第1のスイッチ回路は、電流通路の一端が前記第1のノードに接続され、ショート時に耐圧条件を満たす電圧がゲートに供給される第1のNチャネルトランジスタと

電流通路の一端が前記第2のノードに接続され、ショート時に耐圧条件を満たす電圧がゲートに供給される第2

のNチャネルトランジスタと、

電流通路の両端が前記第1、第2のNチャネルトランジスタの電流通路の各他端に接続され、耐圧条件を満たす一定の電圧がゲートに供給されるPチャネルトランジスタとを具備することを特徴とする請求項1乃至3記載の半導体装置

【請求項5】アドレス信号に応じて前記ウェルに供給する電圧を発生する第1のデコーダと、

アドレス信号に応じて前記制御ゲートに供給する電圧を発生する第2のデコーダと、

前記第1のデコーダと前記第1のノードの相互間に接続され、前記ショート時に前記第1のスイッチ回路より先にオフとされる第4のスイッチ回路と、

前記第2のデコーダと前記第2のノードの相互間に接続され、前記ショート時に前記第1のスイッチ回路より先にオフとされる第5のスイッチ回路とを具備することを特徴とする請求項3記載の半導体装置

【請求項6】前記第1のノードには正の電圧 $V_1$ が供給され、前記第2のノードには負の電圧 $V_2$ が供給され、前記第1のNチャネルトランジスタのゲートにはNチャネルトランジスタの閾値電圧 $V_{thN}$ 以上の電圧と閾値電圧 $V_{thN}$ 未満の電圧の一方が供給され、前記第2のNチャネルトランジスタのゲートには電圧 $V_2 + V_{thN}$ 以上の電圧と電圧 $V_2 - V_{thN}$ 未満の電圧の一方が供給され、前記Pチャネルトランジスタのゲートには前記第1のNチャネルトランジスタの基板電圧以上の電圧が供給されることを特徴とする請求項1記載の半導体装置

【請求項7】前記第1のノードには正の電圧 $V_1$ が供給され、前記第2のノードには接地電圧 $V_2$ が供給され、前記第1のNチャネルトランジスタのゲートには電圧 $V_{sub1} + V_{thN}$  ( $V_{sub1}$ は前記第1のNチャネルトランジスタの基板電圧、 $V_{thN}$ はNチャネルトランジスタの閾値電圧)と前記電圧 $V_{sub1}$ の一方が供給され、前記第2のNチャネルトランジスタのゲートには前記閾値電圧 $V_{thN}$ と前記接地電圧 $V_2$ の一方が供給され、前記Pチャネルトランジスタのゲートには前記基板電圧 $V_{sub1}$ 以上の電圧が供給されることを特徴とする請求項1記載の半導体装置

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置、例えばフラッシュEEPROM等の半導体装置に関する

【0002】

【従来の技術】周知のように、フラッシュメモリは、メモリセルとしてスタックゲート構造のトランジスタを用い、特に、NOR型と呼ばれるフラッシュEEPROMでは書き込み時にはチャネルホットエレクトロンを用い、消去時にはFETトンネル電流を用いるのが一般的である。消去動作は種々の方式があるが、インテル社のフ

ラッシュメモリの一種のETOX (EPROM Tunnel Oxid) ではセルのゲートを接地し、ソースに高電圧 (約10V) を印加して浮遊ゲートとソース間に電界を加え、F-Nトンネル電流を流す。あるいはAMD社が提案した負ゲート・ソース消去方式のように、消去時にセルのゲートに負電圧 (約-10V) を印加し、ソースに正電圧 (約5V) を印加して浮遊ゲートとソース間にF-Nトンネル電流を流す方式が一般的であった。

【0003】しかし、セルサイズをスケールアップしていくに従い、消去時にセルのソースに印加される高電圧が問題となってくる。印加される高電圧に耐え得るように接合耐圧を向上させる構成としては、ソース領域に二重拡散構造を用いることが考えられる。すなわち、ソース領域としてのN<sup>+</sup>(As)領域を覆うN<sup>+</sup>(P)領域を形成することにより耐圧を向上できる。しかし、この二重拡散構造はチャネル長のスケールアップを防げる要因となっている。すなわち、十分な耐圧を得るためにN<sup>+</sup>領域を形成することにより、N<sup>+</sup> (拡散層とゲートとのオーバーラップ長) の増加は約0.2μmと見積れる。しかし、デバイスが一層微細化され、特に、0.25μm以下の世代を考えると、N<sup>+</sup>部分を含むチャネル長Lは、 $L_{eff} = 0.2\mu m + 0.25\mu m$  (L<sub>eff</sub>:実効チャネル長) となりセルサイズを縮小する上で大きな弊害となる。

【0004】上記問題を解決するためチャネル消去方式が開発されている。この方式は、消去時に基板 (= ソース) とワード線の相互間に高電圧を印加し、浮遊ゲートと基板間にトンネル電流を流す方式である。基板とソースが同電位 (もしくはソースがフローティングでも可) であるため、ソースの接合耐圧を考える必要がなく、二重拡散構造が不要となる。

【0005】しかし、この方式は、浮遊ゲートと基板間の容量が大きいため、ソース消去方式と比較して、消去時にセルのゲートと基板間に大きな電圧を印加する必要がある。このため、セルのゲート (ワード線) に所定の電圧を供給するデコード回路や、基板に所定の電圧を供給するデコード回路を構成するトランジスタの耐圧が問題となる。そこで、これらトランジスタの耐圧が問題にならないよう、各部の電圧が考慮されている。

【0006】図6(a)(b)(c)は、メモリセルの各部に供給されるバイアス電圧の関係を示している。図6(a)(b)に示すように、トランジスタの耐圧を低く抑えるためには、消去時にセルの制御ゲートに負電圧 (V<sub>gate</sub> = -8V) を印加し、基板に正の高電圧 (V<sub>sub</sub> = 10V) を印加するのが良い。また、チャネル消去の場合、図6(c)に示すように、メモリセルMCは、N型ウェルによりP型基板と分離されたP型ウェル内に形成され、セルの基板電圧V<sub>sub</sub>はP型ウェルとN型ウェルに供給される。

【0007】この方式によれば、デコード回路を耐圧1

0Vのトランジスタにより構成できる。これに対して、制御ゲートあるいは基板だけに耐圧性能を持たせようとすると、約20Vの耐圧を有するトランジスタが必要となる。このように、トランジスタの耐圧電圧が高くなると、t<sub>ox</sub> (酸化膜の膜厚) やL (チャネル長) 等を耐圧10Vのトランジスタの倍としなければならない。このため、デコード回路によるチップ占有面積が膨大となる。

【0008】図7乃至図9は、チャネル消去のバイアス電圧をセルの各部に印加するための回路例を示している。

【0009】図7は、行デコード回路 (ワード線ドライバ) の一例を示している。この行デコード回路において、論理回路71aは0 ~ V<sub>cc</sub>系のアドレス信号とErase信号をデコードする。このデコード出力信号は、レベルシフタ71bにより電圧V<sub>cc</sub> ~ V<sub>ss</sub>系の信号に変換される。ここで、V<sub>cc</sub>はワード線のハイレベルであり、V<sub>ss</sub>はワード線のローレベルである。このレベルシフタ71bの出力信号は駆動回路としてのインバータ回路71cを介してワード線に電圧V<sub>cc</sub>として供給される。

【0010】図9は、ワード線の電圧V<sub>cc</sub>を示している。このように、ワード線の電圧V<sub>cc</sub>は、データの読み出し、プログラム、消去に応じて設定される。これらの電圧V<sub>cc</sub>、V<sub>ss</sub>はいずれも絶対値が10V以内とされ、デコード回路内のトランジスタの耐圧条件を満たしている。

【0011】図8は、図7に示すレベルシフタの回路構成の一例を示している。

【0012】図10は、セルアレイが形成される基板 (P型ウェル) に電位を供給するデコード回路の一例を示している。このデコード回路において、論理回路100aは、ブロックアドレス信号とErase信号をデコードする。このデコード出力信号はレベルシフタ100bに供給され、電圧V<sub>cc</sub>と接地レベルの信号に変換される。ここで、電圧V<sub>cc</sub>は例えば10Vである。このレベルシフタ100bの出力信号は駆動回路としてのインバータ回路100cを介してP型ウェルに供給される。

【0013】

【発明が解決しようとする課題】次に、負ゲート・チャネル消去方式を実現するための課題について説明する。

【0014】図11は、デコード内のNチャネルトランジスタ (NMOS)、Pチャネルトランジスタ (PMOS) 及びメモリセル (MC) の断面図を示し、図12は図11の等価回路を示している。これらNチャネルトランジスタ、Pチャネルトランジスタ及びメモリセルと、各ウェルや基板との間には寄生容量C<sub>1</sub> ~ C<sub>5</sub>が存在する。これらの寄生容量C<sub>1</sub> ~ C<sub>5</sub>は次の通りである。図13は寄生容量C<sub>1</sub> ~ C<sub>5</sub>を示す等価回路である。

【0015】C<sub>1</sub>: メモリセルの制御ゲートと基板 (P型ウェル) 間の容量 (= 制御ゲートと浮遊ゲート間の容

量)及び(浮遊ゲートと基板間の容量)の直列容量

C2:ブロック基板(N型ウェル、P型ウェル)と基板間の容量

C3:デコーダのハイレベル(N型ウェル)を基板間の容量

C4:デコーダのハイレベル( $V_{H1}$ )とローレベル( $V_{L1}$ )間の容量

C5:デコーダのロウレベル( $V_{L2}$ )と基板間の容量(含配線容量)

ところで、この種の不揮発性半導体記憶装置は、消去動作終了時に、読み出し動作ができる状態にリセットする必要がある。すなわち、ワード線の電圧 $V_{W1}$ を $-8V$ から $0V$ とし、ウェルの電圧 $V_{WELL1}$ を $10V$ から $0V$ とする必要がある。このようにワード線の電圧及びウェルの電圧をリセットする際に問題となるのは、各ノードのリセットの順番である。

【0016】図1-4、図1-5は、消去終了後に各ノードがリセットされていく様子を極端な例をあげて示している。

【0017】図1-4は、ワード線の電圧 $V_{W1}$ ( $V_{L2}-8V$ )をウェルの電圧よりも先にリセットする場合の動作波形を示している。

【0018】ワード線の電圧 $V_{W1}$ が $-8V$ から $0V$ となるとき、図1-1に示す容量C1によりウェルの電位 $V_{WELL1}$ も上昇される。この $V_{WELL1}$ は図1-0に示すように、電圧 $V_{DD}$ と接地電位が電源として供給されるインバータ回路100cにより駆動される。このため、ウェルの電位 $V_{WELL1}$ が上昇すると、図1-6(a)(b)に示すように、インバータ回路100cを構成するPチャネルトランジスタ( $V_{GS}$ 系、N型ウェル内)において、拡散層とN型ウェルの間で電圧 $V_{WELL1}$ から電圧 $V_{DD}$ へのフォワードバイアス状態が生じる。

【0019】この状態において、最悪の場合、電圧 $V_{WELL1}$ と基板間に電圧 $V_{DD}$ がベースに供給されるバイポーラトランジスタができて、大量のホールが基板内に放出され、これがトリガとなってラッチアップを引き起こすことがある。

【0020】一方、電圧 $V_{L2}$ が比較的ゆっくり変化する場合、ウェル電位 $V_{WELL1}$ の上昇は、Pチャネルトランジスタを介して電圧 $V_{W1}$ の上昇を招く。この電圧 $V_{W1}$ は最大電圧 $10V$ に設定しているため、電圧 $V_{DD}$ がこれ以上上昇した場合、トランジスタの耐圧問題を招く。

【0021】図1-5は、ワード線の電位より先にウェル電位をリセットする場合の動作波形を示し、図1-7(a)(b)は、ワード線とウェルのデコード回路を示している。

【0022】この場合、ウェル電位 $V_{WELL1}$ がリセットされると、図1-7(a)(b)に示すように、ウェル電圧とカップリングしている容量C1により、ワード線の電圧 $V_{W1}$ がアンダーシュートする。このとき、図1-7

(b)に示すように、P型ウェル内のNチャネルトランジスタの拡散層でフォワードバイアスが起こり、最悪の場合、ラッチアップを引き起こすことがある。

【0023】一方、ウェルの電圧がゆっくり変化する場合、電圧 $V_{L2}$ が引き下げられてアンダーシュートする。行デコーダ内の電圧 $V_{W1}$ 、 $V_{L1}$ がほぼ最大電圧 $10V$ に設定されている場合、電圧 $V_{L1}$ がアンダーシュートした場合、最大電圧 $10V$ を越えることとなり、トランジスタの耐圧問題を招く。

【0024】上記の例はいずれも極端な場合を示している。しかし、消去終了時に電圧 $V_{W1}$ と電圧 $V_{WELL1}$ を同時にリセットしようとしても内部の寄生容量や、抵抗、その他の電気特性、温度特性などを考慮すると、同時にリセットしているつもりでも必ず上記のような場合が発生する。したがって、どのような場合でもフォワードバイアスあるいはトランジスタの耐圧問題を起こさぬような配電が必要である。

【0025】本発明は、上記課題を解決するためになされたものであり、その目的とするところは電源電圧以上の電位差を有する二つのノード間の電位をリセットする際に、寄生容量によるトランジスタの拡散層と基板相互間でのフォワードバイアスを防止でき、且つトランジスタの耐圧問題を回避可能な半導体装置を提供しようとするものである。

【0026】

【課題を解決するための手段】本発明は、上記課題を解決するため、電源電圧以上の電位差を有し、寄生容量を介して接続された第1、第2のノードと、前記第1、第2のノードの相互間に接続され、前記第1、第2のノードをショートする第1のスイッチ回路と、前記第1、第2のノードと接地間にそれぞれ設けられ、前記第1のスイッチ回路がオンとされた後にオンとされる第2、第3のスイッチ回路とを具備している。

【0027】さらに、本発明の半導体装置は、複数のブロックに分割され、各ブロックは複数のメモリセルと、これらメモリセルに接続された複数のワード線、ビット線を有するメモリセルアレイと、前記メモリセルを選択するロウデコーダと、前記ロウデコーダに前記ワード線に供給される電圧を供給する第1のデコーダと、前記メモリセルが形成される基板に基板電圧を供給する第2のデコーダと、前記ワード線の電圧が供給される第1のノードと前記基板電圧が供給される第2のノードの相互間に接続され、前記メモリセルの消去後、前記第1、第2のノードをショートする第1のスイッチ回路と、前記第1のノードと前記第1のデコーダの出力端との相互間に接続され、前記第1のスイッチより先にオフとされる第2のスイッチ回路と、前記第2のノードと前記第2のデコーダの出力端との相互間に接続され、前記第1のスイッチより先にオフとされる第3のスイッチ回路とを具備している。

【0028】また、本発明の半導体装置は、ウェル内にスタックゲート構造のトランジスタからなる複数のメモリセルが形成され、電気的に一括してこれらメモリセルのデータが消去され、消去時には各メモリセルの制御ゲートに負電圧が印加され、前記ウェルに正の電圧が印加されるチャネル消去方式を用いた半導体装置であって、前記ウェルに電圧を供給する第1のノードと前記メモリセルの制御ゲートに電圧を供給する第2のノードとの相互間に接続され、消去終了時にオンとされ前記第1、第2のノードをショートする第1のスイッチ回路と、前記第1のノードと接地間、及び前記第2のノードと接地間にそれぞれ接続され、前記第1のスイッチ回路がオンとされた後、オンとされる第2、第3のスイッチ回路とを具備している。

【0029】前記第1のスイッチ回路は、電流通路の一端が前記第1のノードに接続され、ショート時に耐圧条件を満たす電圧がゲートに供給される第1のNチャネルトランジスタと、電流通路の一端が前記第2のノードに接続され、ショート時に耐圧条件を満たす電圧がゲートに供給される第2のNチャネルトランジスタと、電流通路の両端が前記第1、第2のNチャネルトランジスタの電流通路の各他端に接続され、耐圧条件を満たす一定の電圧がゲートに供給されるPチャネルトランジスタとを具備している。

【0030】さらに、本発明の半導体装置は、アドレス信号に応じて前記ウェルに供給する電圧を発生する第1のデコーダと、アドレス信号に応じて前記制御ゲートに供給する電圧を発生する第2のデコーダと、前記第1のデコーダと前記第1のノードの相互間に接続され、前記ショート時に前記第1のスイッチ回路より先にオフとされる第1のスイッチ回路と、前記第2のデコーダと前記第2のノードの相互間に接続され、前記ショート時に前記第1のスイッチ回路より先にオフとされる第5のスイッチ回路とを具備している。

【0031】前記第1のノードには正の電圧 $V_1$ が供給され、前記第2のノードには負の電圧 $V_2$ が供給され、前記第1のNチャネルトランジスタのゲートにはNチャネルトランジスタの閾値電圧 $V_{thN}$ 以上の電圧と閾値電圧 $V_{thN}$ 未満の電圧の一方が供給され、前記第2のNチャネルトランジスタのゲートには電圧 $V_2 - V_{thN}$ 以上の電圧と電圧 $V_2 + V_{thN}$ 未満の電圧の一方が供給され、前記Pチャネルトランジスタのゲートには前記第1のNチャネルトランジスタの基板電圧以上の電圧が供給される。

【0032】前記第1のノードには正の電圧 $V_1$ が供給され、前記第2のノードには接地電圧 $V_2$ が供給され、前記第1のNチャネルトランジスタのゲートには電圧 $V_{sub1} + V_{thN}$  ( $V_{sub1}$ は前記第1のNチャネルトランジスタの基板電圧、 $V_{thN}$ はNチャネルトランジスタの閾値電圧)と前記電圧 $V_{sub1}$ の一方が供給され、前記第2

のNチャネルトランジスタのゲートには前記閾値電圧 $V_{thN}$ と前記接地電圧 $V_2$ の一方が供給され、前記Pチャネルトランジスタのゲートには前記基板電圧 $V_{sub1}$ 以上の電圧が供給される。

【0033】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0034】上述したように、セルの制御ゲートと基板との相互間には寄生容量 $C_1$ があり、これら制御ゲートと基板両端にトンネル電流を流せるような高電圧(約20V)を印加した状態で、制御ゲートあるいは基板の一方を接地することにより上記問題が生じている。すなわち、消去状態でトランジスタの耐圧電圧に相当する電圧がワード線の電圧、あるいはウェルの電圧に設定されている。このため、その状態から制御ゲートあるいは基板の一方を接地すると、寄生容量 $C_1$ により、ウェルの電圧、あるいはワード線の電圧がオーバーシュート、あるいはアングershootする。これらオーバーシュート、あるいはアングershootが生じた場合、フォワードバイアスが生じたりトランジスタの耐圧問題が発生する。

【0035】そこで、本発明ではワード線の電圧 $V_w$ や、ウェルの電圧 $V_{w+1}$ を接地する前に、先ずこれら電圧 $V_w$ と $V_{w+1}$ との電位差が除去される。具体的には消去後のリセットに先立ち電圧 $V_w$ と $V_{w+1}$ をショートし、寄生容量 $C_1$ の両端にかかる電圧を0Vとする。このショート終了後、ワード線電圧やウェル電圧のリセット動作を行なう。

【0036】図1は、本発明の基本原理を示している。すなわち、図1(a)に示すように、制御ゲート-基板間の寄生容量 $C_1$ にはスイッチSWが並列接続される。このスイッチSWは同図(b)に示すように、例えばトランスファーゲートにより構成されている。メモリセルの消去後、先ず、このスイッチSWがオンとされ、寄生容量 $C_1$ の両端がショートされてワード線の電圧 $V_w$ とウェルの電圧 $V_{w+1}$ の電位差が0Vとされる。寄生容量 $C_1$ の両端の電位はウェル電圧のハイレベル $V_H$  (10V)とワード線のローレベル $V_L$  (-8V)の中間となるため、フォワードバイアスの心配は無くなる。

【0037】リセット動作は、寄生容量 $C_1$ の両端をショートしたまま、寄生容量 $C_1$ の各ノードを接地しても良いし、ショートを解除した後、寄生容量 $C_1$ の各ノードを別々に接地しても良い。このリセット動作を行うために、寄生容量 $C_1$ の各ノードと接地間に後述するスイッチ回路がそれぞれ接続される。

【0038】上記構成によれば、寄生容量 $C_1$ をスイッチ回路SWによりショートし、寄生容量 $C_1$ の両ノードの電位差をゼロとした後、寄生容量の各ノードを接地している。このため、デコード回路を構成するトランジスタのフォワードバイアスや耐圧問題を回避できる。

【0039】(第1の実施例)上記基本原理では、ショ

ート動作を理想的に行える場合を示したが、実際にショート動作を実現するにはもう少し工夫が必要である。

【0040】上記のように、消去動作時には寄生容量 $C_1$ の両端には約20Vの電圧が印加されている。このため、図1(b)に示すように、通常のトランジスタにより構成されたトランスファークゲートを用いて容量 $C_1$ をショートする場合、トランスファークゲートを構成するトランジスタは約20Vの耐圧が必要である。これまでの説明では、全てのトランジスタに印加される電圧を10V以内と仮定してきた。それはデコード回路のサイズを妥当な大ききとするため、回路素子の微細化が必須だからである。仮に、上記のようにショート用のトランジスタに20V以上の耐圧が必要となると、この部分は特殊な素子になってしまう。特殊な素子の導入はプロセス工程を複雑としコストの高騰を招くため得策ではない。

【0041】本発明の第1の実施例は、耐圧の高い特殊な素子を用いることなく、正、負の電圧をショートさせる回路を提供する。

【0042】図2(a)(b)は、不揮発性半導体記憶装置、例えばNOR型フラッシュメモリに本発明を適用した場合を示している。このフラッシュメモリは、例えば32Mビットの記憶容量を有している。図2(a)において、メモリセルアレイ11は、64個のブロックに分割され、1ブロックは64Kバイトで構成されている。消去はこの1ブロック単位に行われる。

【0043】図2(b)に示すように、各ブロックは行及び列に複数のメモリセルMCが配置されたメモリセルアレイ12、このメモリセルアレイ12のワード線WLを選択するロウデコード13、ビット線BLを選択するカラムデコード14を有している。さらに、前記ロウデコード13には第1のブロックデコード15が接続され、メモリセルアレイ12のP型ウェル及びN型ウェルには第2のブロックデコード16が接続されている。前記第1のブロックデコード15は、データの読み出し、プログラム、消去に応じて、ワード線を駆動するための電圧 $V_{w1}$ を生成する。すなわち、第1のブロックデコード15は、消去時にワード線のローレベルとして電圧 $V_{L1}$ (-8V)を発生し、非消去時はローレベルとして接地電位を発生する。また、前記第2のブロックデコード16は、データの読み出し、プログラム、消去に応じて、基板の電圧 $V_{sub1}$ を生成する。すなわち、第2のブロックデコード16は、消去時に電圧 $V_p$ (10V)を発生し、非消去時は接地電位を発生する。

【0044】メモリセルアレイ12は、図11と同様の構成とされている。第1のブロックデコード15は、図7、図8と同様の構成とされ、第2のブロックデコード16は、図10と同様の構成とされている。

【0045】前記ロウデコード13と基板の相互間にはスイッチ回路SW1が接続されている。このスイッチ回路SW1は、制御回路17からの信号に応じて、消去終

了後でリセット動作前にセルの制御ゲートとP型ウェルとの間に存在する寄生容量 $C_1$ をショートする。前記第1のブロックデコード15とロウデコード13の相互間にはスイッチ回路SW2が接続され、第2のブロックデコード16と基板の相互間にはスイッチ回路SW3が接続されている。前記スイッチ回路SW1とSW3が接続されるノードN1と接地間にはスイッチ回路SW4が接続され、前記スイッチ回路SW1とSW2が接続されるノードN2と接地間にはスイッチ回路SW5が接続されている。

【0046】図3は、図2の要部を具体的に示す回路構成図であり、図2と同一部分には同一符号を付す。前記スイッチ回路SW1はNチャネルトランジスタQ1、Q2とPチャネルトランジスタQ3とにより構成されている。これらNチャネルトランジスタQ1、Q2とPチャネルトランジスタQ3は基板電圧 $V_{sub1}$ が供給されるノードN1とワード線の電圧 $V_{w1}$ が供給されるノードN2との間にQ1、Q3、Q2の順に直列接続される。NチャネルトランジスタQ1のゲートには駆動回路31が接続され、NチャネルトランジスタQ2のゲートには駆動回路32が接続されている。これら駆動回路31、32は前記制御回路17を構成している。

【0047】前記駆動回路31はショート制御信号(電源電圧(例えば2V)と接地電圧)に応じて電圧 $V_{w1}$ 又は接地電圧を発生するレベルシフタ31aと、このレベルシフタ31aの出力信号に応じてNチャネルトランジスタQ1のゲートを制御するインバータ回路31bとにより構成されている。このインバータ回路31bはレベルシフタ31aの出力信号に応じて電圧 $V_{w1}$ 又は接地電圧を前記NチャネルトランジスタQ1のゲートに供給する。このNチャネルトランジスタQ1は、ゲートにNチャネルトランジスタの閾値電圧 $V_{thN}$ 以上の電圧が供給されることによりオンし、閾値電圧未満の電圧が供給されることによりオフとなる。

【0048】また、前記駆動回路32はショート制御信号に応じて電圧 $V_{w1}$ 又はワード線のローレベルの電圧 $V_{L1}$ を発生するレベルシフタ32aと、このレベルシフタ32aの出力信号に応じてNチャネルトランジスタQ2のゲートを制御するインバータ回路32bとにより構成されている。このインバータ回路32bはレベルシフタ32aの出力信号に応じて電圧 $V_{w1}$ 又は電圧 $V_{L1}$ を前記NチャネルトランジスタQ2のゲートに供給する。このNチャネルトランジスタQ2は、ゲートに $V_{w1} - V_{thN}$ 以上の電圧が供給されることによりオンし、 $V_{L1} + V_{thN}$ 未満の電圧が供給されることによりオフとなる。

【0049】前記NチャネルトランジスタQ1の基板には接地電位が供給され、NチャネルトランジスタQ2の基板にはワード線の電圧 $V_{w1}$ が供給されている。また、前記PチャネルトランジスタQ3のゲートは接地され、基板はNチャネルトランジスタQ1の接続ノードN3に

接続されている

【0050】さらに、前記基板電圧 $V_{sub1}$ が供給されるノードN1と接地間にはスイッチ回路SW4を構成するトランジスタが接続され、前記ワード線の電圧 $V_w$ が供給されるノードN2と接地間にはスイッチ回路SW5を構成するトランジスタが接続される。これらスイッチ回路SW4、SW5は信号め、めにより制御される。

【0051】上記構成において、図4を参照して動作について説明する。

【0052】前記寄生容量C1の両端には電圧 $V_{sub1}$ 、 $V_w$ が印加されている。これら電圧 $V_{sub1}$ 、 $V_w$ の電位差 $V_{sub1}-V_w$ はほぼ2.0Vである。メモリセルアレイがブロック単位に消去された後、スイッチ回路SW2、SW3がオフとされ、ノードN1( $V_{sub1}$ )、N2( $V_w-V_{sub1}$ )がフローティング状態とされる。この後、ショート制御信号により、NチャネルトランジスタQ1、Q2がオンとされ、スイッチ回路SW1がオンとされる。したがって、容量C1の両端がトランジスタQ1、Q2、Q3によりショートされる。

【0053】ノードN3の電圧はPチャネルトランジスタQ3により、Pチャネルトランジスタの閾値電圧 $V_{thP}$ 以下に下がることはない。このPチャネルトランジスタQ3がない場合、NチャネルトランジスタQ2の導通に伴いノードN3が大きく負電圧となり、NチャネルトランジスタQ1の拡散層と基板間がフォワードバイアスとなる虞がある。あるいは、NチャネルトランジスタQ1の導通に伴いNチャネルトランジスタQ2の拡散層が高電圧となり、トランジスタQ2がブレイクダウンする虞を有している。PチャネルトランジスタQ3はこれらを防止している。このため、NチャネルトランジスタQ1は1.0V以下で動作し、PチャネルトランジスタQ3はウェル電圧 $V_w-V_{thN}$ ( $V_{thN}$ はNチャネルトランジスタの閾値電圧)であるから1.0V以下で動作する。このように、各トランジスタのゲートとソース・ドレインの相互間には1.0V以下の電圧が印加される。

【0054】以上のように、NチャネルトランジスタQ1、Q2の相互間にPチャネルトランジスタを設けることにより、各トランジスタを耐圧以内で動作させることが可能である。したがって、高耐圧の特殊なトランジスタを形成する必要がない。

【0055】上記ショート動作ではノードN1の電圧 $V_{sub1}$ と、ノードN2の電圧 $V_w$ は完全には一致しない。すなわち、これらノードが完全にショートする前にPチャネルトランジスタQ3がオフしてしまうからである。したがって、ショート動作を行なった後、スイッチSW1、SW5をオンとしてノードN1、N2を別々に接地させる。

【0056】上記第1の実施例によれば、基板電圧 $V_{sub1}$ が供給されるノードN1とワード線の電圧 $V_w$ が供

給されるノードN2との間にスイッチ回路SW1を接続し、消去終了後に、このスイッチ回路SW1をオンとして寄生容量C1の両端をショートし、この後、スイッチSW4、SW5によりノードN1とN2を接地している。このため、消去後のリセット時に寄生容量C1により、ウェル電圧あるいはワード線電圧がオーバershoot、あるいはアングershootすることを防止できる。したがって、フォワードバイアスによるラッチアップを防止できるとともに、トランジスタの耐圧問題を回避できる。

【0057】しかも、スイッチ回路SW1はNチャネルトランジスタQ1、PチャネルトランジスタQ3、NチャネルトランジスタQ2の直列回路により構成され、各トランジスタは規定の耐圧の範囲内で動作できる。換言すれば、規定の耐圧を有するトランジスタのみにより、耐圧以上の電位差のある両ノードをショートできる。このため、ショート動作のために高耐圧トランジスタを用いる必要がないため、製造プロセスの複雑化、製造コストの高騰、及びセルレイアウトの複雑化を防止できる。

【0058】また、ノードN1、N2のショート時に、スイッチSW2、SW3をオフ状態とし、ノードN1、N2から第1、第2のブロックデコーダ15、16を切り離している。このため、メモリセルの制御ゲートと基板に電位を供給しているノードN1、N2のみを独立してリセットでき、ノードN1、N2間を高速に同電位とすることができる。

【0059】(第2の実施例)図5は、本発明の第2の実施例の要部を示しており、図3と同一部分には同一符号を付している。上記第1の実施例は、ノードN1が正電位、ノードN2が負電位の場合について示したが、これに限定されるものではない。第2の実施例は、ノードN1が例えば2.0Vであり、ノードN2が接地電位の場合を示している。この場合、NチャネルトランジスタQ1のゲートには $1.0V-V_{thN}$ 、又は1.0Vが供給され、基板電圧 $V_{sub1}$ は1.0Vに設定される。また、NチャネルトランジスタQ2のゲートには $V_{thN}$ 、又は0Vが供給され、基板電圧 $V_{sub2}$ は接地電圧とされる。PチャネルトランジスタQ3のゲートには電圧 $V_{GP}=1.0V$ が供給される。電圧 $V_{GP}$ とNチャネルトランジスタQ1の基板電位 $V_{sub1}$ との関係は、 $V_{GP} \geq V_{sub1}$ に設定される。トランジスタQ1、Q2のゲートは前記制御回路17と同様の回路により制御される。

【0060】上記構成としても、各トランジスタを所定の耐圧の範囲内で動作させて、寄生容量C1をショートすることができる。

【0061】尚、上記第1、第2の実施例では、NOR型フラッシュEEPROMを例に説明したが、本発明は上記両実施例に限定されるものではなく、NAND型フラッシュEEPROMや、電源電圧以上の電位差を有する2つよりノードをリセットする必要があるその他の半導

体装置に適用可能である

【００６２】この発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0063】

【発明の効果】以上、詳述したようにこの発明によれば、電源電圧以上の電位差を有する二つのノード間の電位をリセットする際に、寄生容量によるチャネルトランジスタの拡散層と基板相互間でのフォワードバイアスを防止でき、且つトランジスタの耐圧問題を回避可能な半導体装置を提供できる。

【(図面7)简单な説明】

【図 1】本発明の基本原理を示すものであり、同図 (a) は等価回路図、同図 (b) は同図 (a) に示すスイッチ回路の一例を示す回路図

【図２】本発明の第１の実施例を示すものであり、同図（a）は不揮発性半導体記憶装置のメモリセルアレイを概略的に示す平面図、同図（b）は同図（a）の１つのブロックを示す構成図

【図3】図2の要部を具体的に示す回路図

【図4】図3の動作を示す波形図

【図5】本発明の第2の実施例を示すものであり、要部を示す回路図

【図6】図6(a)(b)(c)は、メモリセルの各部に供給されるバイアス電圧の関係を示している。

【図7】行デコード回路（ワード線ドライバ）の一例を示す構成図。

【図8】図7に示すレベルシフトの一例を示す回路図

【図9】ワード線の電圧 $V_{W1}$ を示す図

【図10】基板電位を供給するデコート回路の一例を示す回路図

【図11】デコード回路を構成するトランジスタとメモリセルを示す断面図

【図12】図11の等価回路を示す回路図

【図1.6】図1.1の寄生容量を示す等価回路図

【図14】ワード線の電圧をウェルの電圧よりも先にリセットする場合の動作を示す波形図

【図15】ワード線の電位より先にウェル電位をリセットする場合の動作を示す波形図

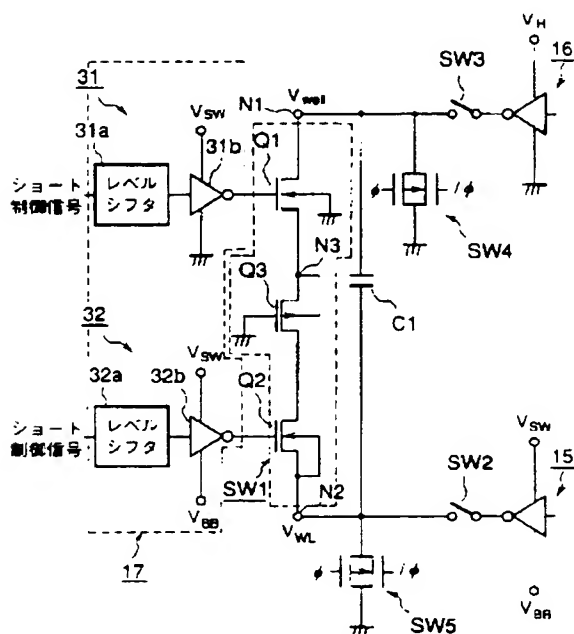
【図16】図14に示す動作時の問題を説明するものであり、同図(a)は等価回路図、同図(b)は断面図

【図17】図15に示す動作時の問題を説明するものであり、同図(a)は等価回路図、同図(b)は断面図

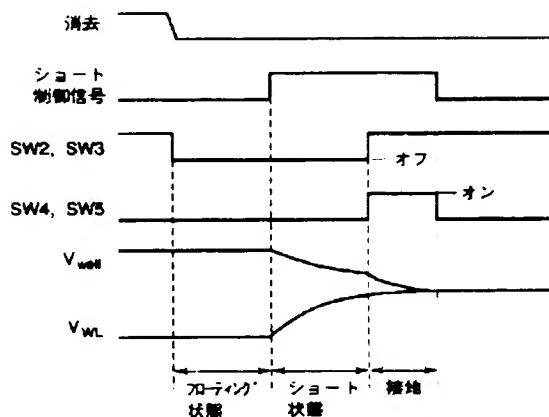
【符号の説明】

- 11、12…メモリスルアレイ、
- 13…ロウデコーダ、
- 14…カラムデコーダ、
- 15…第1のブロックデコーダ、
- 16…第2のブロックデコーダ、
- SW、SW1、SW2、SW3、SW4、SW5…スイ  
ッチ回路、
- C1…寄生容量、
- Q1、Q2…Nチャネルトランジスタ、
- Q3…Pチャネルトランジスタ

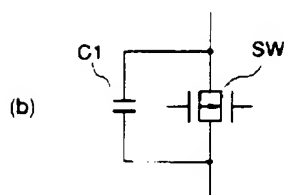
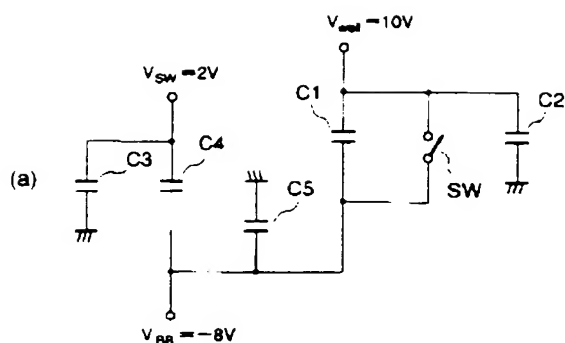
【例3】



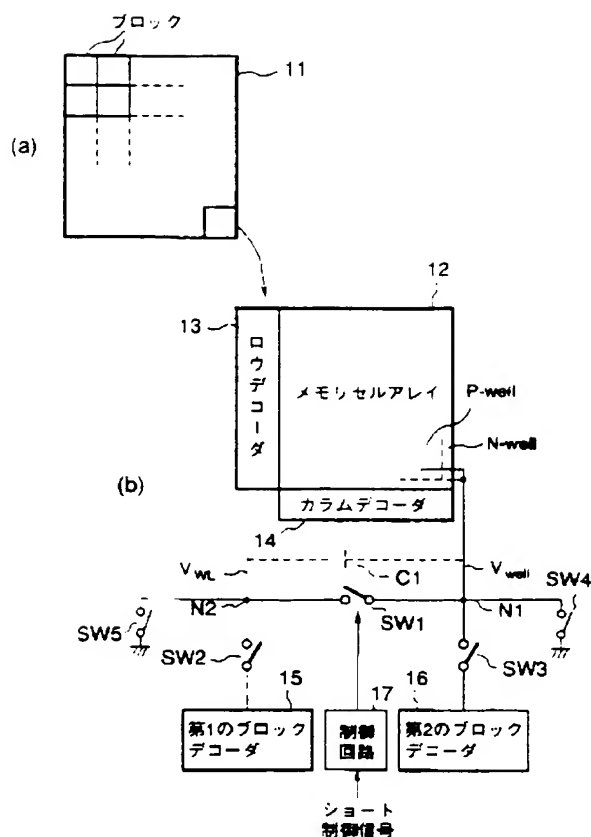
【图4】



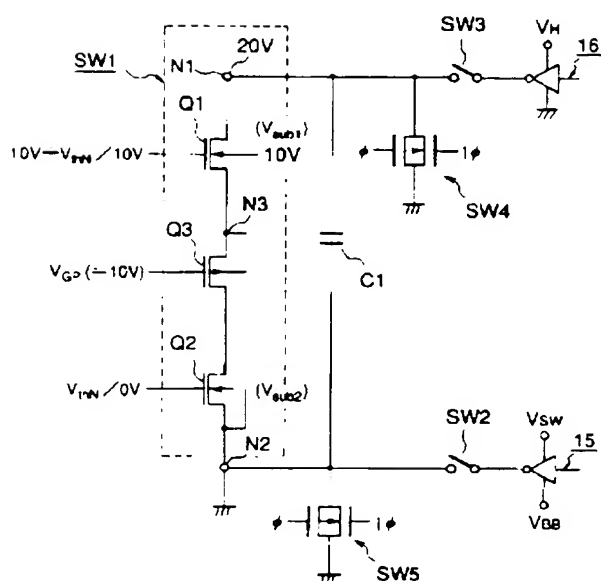
【図1】



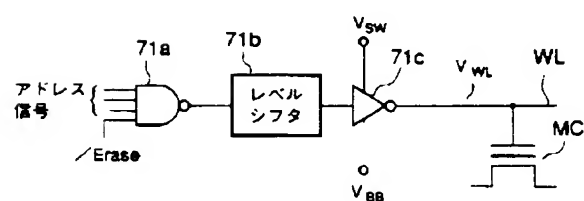
【図2】



【図5】



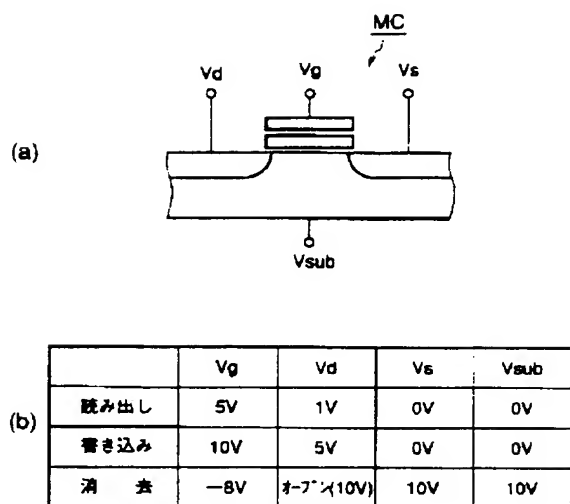
【図7】



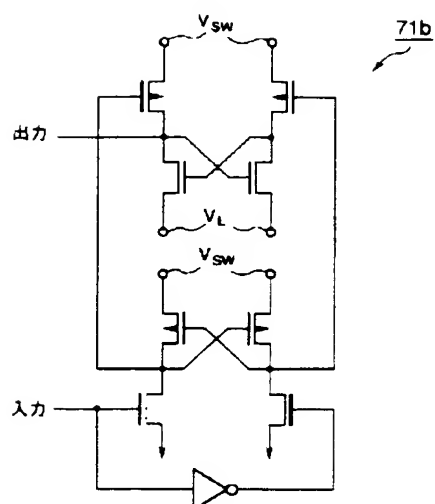
【図9】

	V <sub>sw</sub>	V <sub>BB</sub>
読み出し	5V	0V
書き込み	10V	0V
消去	約2V	-8V

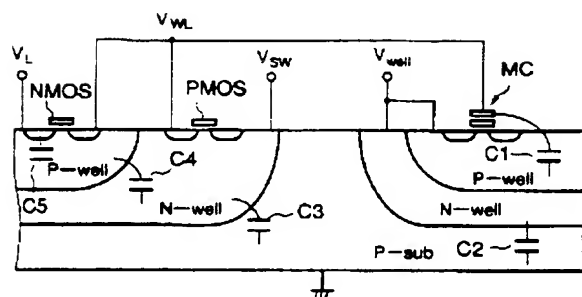
【図6】



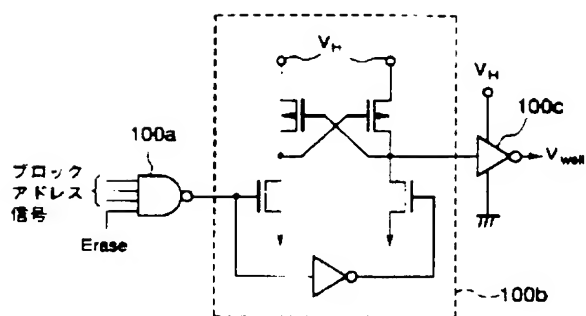
【図8】



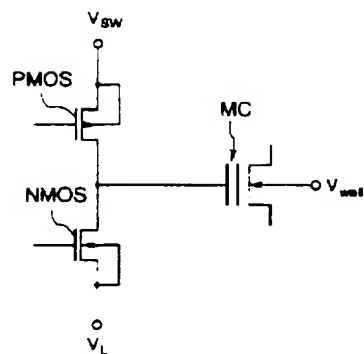
【図11】



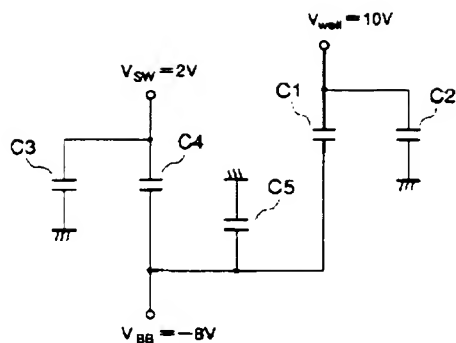
【図10】



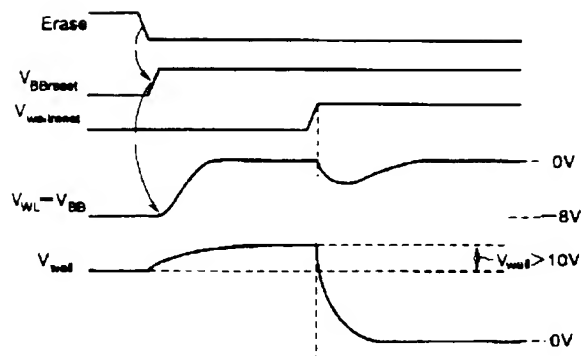
【図12】



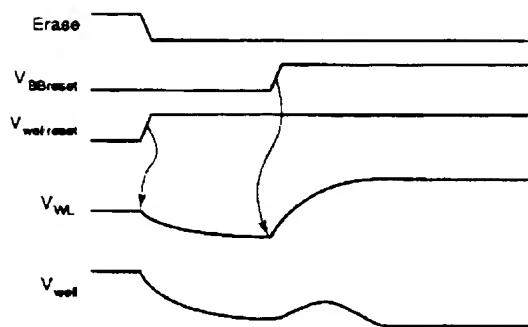
【图 1-3】



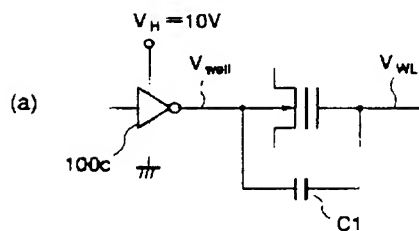
【例 1-4】



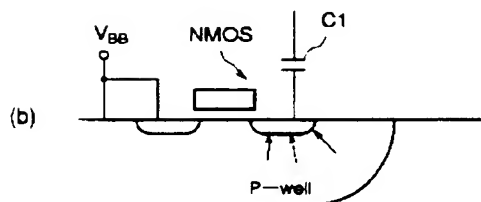
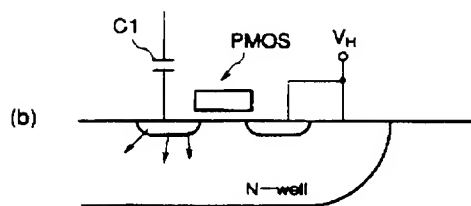
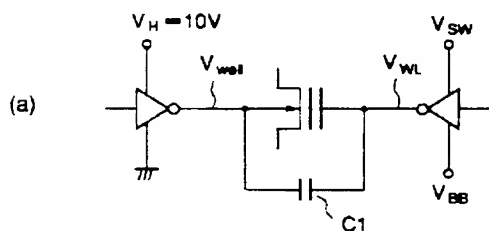
【图 15】



【例 16】



【図 17】



フロントページの続き

(72)発明者 丹沢 徹

神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

Ｆターム(参考) 5B025 AA03 AB01 AC01 AD02 AD05  
AD08 AD10 AD12 AE08